

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号
特開2000-285071
(P2000-285071A)

(43)公開日 平成12年10月13日(2000.10.13)

(51)Int.Cl. ⁷	識別記号	F I	ターミナル(参考)
G 0 6 F 13/42	3 5 0	G 0 6 F 13/42	3 5 0 B 5 B 0 7 7
1/04	3 0 1	1/04	3 0 1 C 5 B 0 7 9

審査請求 未請求 請求項の数4 O L (全 8 頁)

(21)出願番号 特願平11-94328

(22)出願日 平成11年3月31日(1999.3.31)

(71)出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72)発明者 相沢 英夫

東京都青梅市末広町2丁目9番地 株式会
社東芝青梅工場内

(74)代理人 100077849

弁理士 須山 佐一

Fターム(参考) 5B077 FF01 GG12 MM02

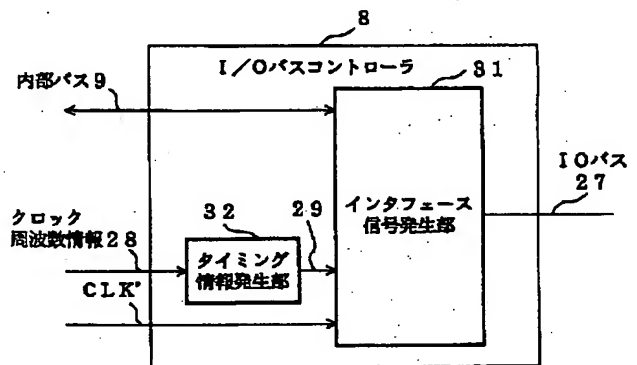
5B079 BA01 BB04 BC01 DD02 DD05
DD20

(54)【発明の名称】 計算機システム

(57)【要約】

【課題】 インタフェース信号の変化タイミングを制御することによって、拡張デバイスに対する処理速度を落とさずに消費電力を低減する。

【解決手段】 クロック供給部26は、基準となるクロック周波数を通常の周波数より低くし、そのクロック周波数情報28をI/Oバスコントローラ8に伝送する。I/Oバスコントローラ8内にあるタイミング情報発生部32は入力されたクロック周波数情報28から現在のクロック周波数を認識し、インタフェース信号の変化するタイミング情報29をクロック周波数に換算して算出し、インタフェース信号発生部31に伝える。インタフェース信号発生部31はこのタイミング情報29を基にインタフェース信号を作り拡張デバイス、例えばK B Co nt. 25等にアクセスする。



【特許請求の範囲】

【請求項 1】 基準となるクロック信号に基づいて I/O バスに接続された拡張デバイスに対してデータ転送を制御する計算機システムにおいて、
前記クロック信号をその周波数を可変自在にシステム内の各部に供給すると共に、前記クロック信号の周波数情報を出力するクロック供給手段と、
前記クロック供給手段から出力された周波数情報に合わせて前記クロック信号をカウントするためのタイミング情報を変化させるタイミング情報発生手段と、
前記タイミング情報発生手段により変化されたタイミング情報を基に前記クロック供給手段から供給されたクロック信号をカウントして前記 I/O バスへのインターフェース信号を発生する手段とを具備することを特徴とする計算機システム。

【請求項 2】 基準となるクロック信号に基づいて I/O バスに接続された拡張デバイスに対してデータ転送を制御する計算機システムにおいて、
前記クロック信号をその周波数を可変自在にシステム内の各部に供給するクロック供給手段と、
前記クロック供給手段に対してクロック信号を変化させる指示を出すと共に、前記クロック信号の周波数情報を出力する制御手段と、
前記制御手段から出力された周波数情報に合わせて前記クロック信号をカウントするためのタイミング情報を変化させるタイミング情報発生手段と、
前記タイミング情報発生手段により変化されたタイミング情報を基に前記クロック供給手段から供給されたクロック信号をカウントして前記 I/O バスへのインターフェース信号を発生する手段とを具備することを特徴とする計算機システム。

【請求項 3】 請求項 2 記載の計算機システムにおいて、
前記タイミング情報発生手段は、
前記制御手段から出力された周波数情報を保持する周波数情報保持手段と、
前記周波数情報保持手段により保持された周波数情報に合わせて前記クロック信号をカウントするためのタイミング情報を発生するタイミング情報発生部とを具備することを特徴とする計算機システム。

【請求項 4】 基準となるクロック信号に基づいて I/O バスに接続された拡張デバイスに対してデータ転送を制御する計算機システムにおいて、
前記クロック信号をその周波数を可変自在にシステム内の各部に供給するクロック供給手段と、
前記クロック供給手段に対してクロック信号を変化させる指示を出すと共に、前記クロック信号の周波数情報に合わせて前記クロック信号をカウントするためのタイミング情報を出力する制御手段と、
前記制御手段から出力されたタイミング情報を基に前記

クロック供給手段から供給されたクロック信号をカウントして前記 I/O バスへのインターフェース信号を発生する手段とを具備することを特徴とする計算機システム。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、例えば基準クロックに基づいて I/O バスなどの非同期バスのデータ伝送速度を制御する計算機システムに関する。

【0002】

【従来の技術】従来から、計算機システム、例えばパソコンなどは小型化と共に省電力化が進められているが、パソコンを省電力状態とした場合に拡張デバイスに対する処理速度も落ちてしまうため改善が望まれている。

【0003】従来の計算機システムには、入出力インターフェース制御部、例えば I/O バスコントローラなどが設けられている。この I/O バスコントローラにおいて、基本クロックの周波数を低くすると、装置全体を省電力状態にすることができる。しかしながら、この場合、インタフェース信号の変化タイミングが大きくなり、拡張デバイスに対する処理速度が大幅に落ちてしまう。

【0004】ここで、図 6 及び図 7 を参照しその理由を説明する。図 6 は従来の I/O バスコントローラの通常動作時の拡張デバイスへのデータ書き込み動作を示す図、図 7 は省電力時の拡張デバイスへのデータ書き込み動作を示す図である。

【0005】図 6 において、CLK はクロック信号である。CS # は選択信号である。

【0006】拡張デバイスはこの信号が L レベルになると、アクセスされていることを認識する。WR # はライトストロブ信号である。拡張デバイスはこの信号が L レベルになると、書き込み動作であることを認識し、データ信号の値を入力する。DATA はデータ信号である。

【0007】また、時間 T10 は CS # が L レベルに立ち下がってから WR # が L レベルに立ち下がるまでの時間である。時間 T20 は WR # が L レベルになっている時間を示す。時間 T30 は WR # が H レベルに立ち上がってから CS # が H レベルに立ち上がるまでの時間を示す。

【0008】クロック信号の周波数情報の変化に合わせてインタフェース信号の変化タイミングを示す時間情報をタイミング情報と呼ぶ。ここでのタイミング情報は T10、T20、T30 であり、カウントされるクロック数に換算すると、それぞれ (2)、(4)、(1) となる。

【0009】このように動作する従来の I/O バスコントローラにおいて、消費電力を低減するために基本クロックの周波数を例えば通常の 2 分の 1 にすると、基本ク

ロックを作るための電力が少なく済むため、計算機システム全体として消費電力が低減できる。しかし、図7に示すように、クロック数に換算されたタイミング情報T11、T21、T31もそのままの設定値(2)、

(4)、(1)であるため、各データ処理のタイミングもクロック周波数が落ちた分遅くなってしまい、拡張デバイスに対する処理速度が大幅に低下する。

【0010】

【発明が解決しようとする課題】本発明はこのような課題を解決するためのもので、拡張デバイスに対する処理速度を落とさずに消費電力を低減することのできる計算機システムを提供することを目的としている。

【0011】

【課題を解決するための手段】上述した目的を達成するために、請求項1記載の発明の計算機システムは、基準となるクロック信号に基づいてI/Oバスに接続された拡張デバイスに対してデータ転送を制御する計算機システムにおいて、前記クロック信号をその周波数を可変自在にシステム内の各部に供給すると共に、前記クロック信号の周波数情報を出力するクロック供給手段と、前記クロック供給手段から出力された周波数情報に合わせて前記クロック信号をカウントするためのタイミング情報を変化させるタイミング情報発生手段と、前記タイミング情報発生手段により変化されたタイミング情報を基に前記クロック供給手段から供給されたクロック信号をカウントして前記I/Oバスへのインターフェース信号を発生する手段とを具備することを特徴としている。

【0012】請求項2記載の発明の計算機システムは、基準となるクロック信号に基づいてI/Oバスに接続された拡張デバイスに対してデータ転送を制御する計算機システムにおいて、前記クロック信号をその周波数を可変自在にシステム内の各部に供給するクロック供給手段と、前記クロック供給手段に対してクロック信号を変化させる指示を出すと共に、前記クロック信号の周波数情報を出力する制御手段と、前記制御手段から出力された周波数情報に合わせて前記クロック信号をカウントするためのタイミング情報を変化させるタイミング情報発生手段と、前記タイミング情報発生手段により変化されたタイミング情報を基に前記クロック供給手段から供給されたクロック信号をカウントして前記I/Oバスへのインターフェース信号を発生する手段とを具備することを特徴としている。

【0013】請求項3記載の発明の計算機システムは請求項2記載の計算機システムにおいて、前記タイミング情報発生手段は、前記制御手段から出力された周波数情報を保持する周波数情報保持手段と、前記周波数情報保持手段により保持された周波数情報に合わせて前記クロック信号をカウントするためのタイミング情報を発生するタイミング情報発生部とを具備することを特徴としている。

【0014】請求項4記載の発明の計算機システムは、基準となるクロック信号に基づいてI/Oバスに接続された拡張デバイスに対してデータ転送を制御する計算機システムにおいて、前記クロック信号をその周波数を可変自在にシステム内の各部に供給するクロック供給手段と、前記クロック供給手段に対してクロック信号を変化させる指示を出すと共に、前記クロック信号の周波数情報に合わせて前記クロック信号をカウントするためのタイミング情報を出力する制御手段と、前記制御手段から出力されたタイミング情報を基に前記クロック供給手段から供給されたクロック信号をカウントして前記I/Oバスへのインターフェース信号を発生する手段とを具備することを特徴としている。

【0015】本発明では、基本クロックの周波数情報の変化に応じてインターフェース信号の変化タイミングが可変され、拡張デバイス、例えばキーボードコントローラと接続されたISAバスなどの非同期バスのデータ転送速度が制御される。

【0016】すなわち、通常の動作状態から省電力状態にかわり、基本クロックの周波数が変化、例えば周波数が低くされた場合、それに合わせる形で基本クロックのカウント値も小さくするので、拡張デバイスに対するデータ転送速度を落とさずに消費電力を低減することができる。

【0017】

【発明の実施の形態】以下、本発明の実施の形態を図面を参照して詳細に説明する。図1は本発明に係る第1実施形態の計算機システム、例えばパーソナルコンピュータ(以下パソコンと称す)などの概要構成を示す図、図2はこの計算機システムの要部構成を示す図である。

【0018】この計算機システムはバスコントローラ1、表示コントローラ2、グラフィックスアクセラレータ3、USBホストコントローラ4、VRAMコントローラ5、PCMCIAコントローラ6、Smart Mediaコントローラ7、I/Oバスコントローラ8、レジスタインタフェースバス9、VRAMインタフェースバス10、クロックコントローラ11、割り込みコントローラ12、システムメモリ20、制御手段としてのプロセッサ21、電源制御回路22、ROM23、VRAM24、キーボードコントローラ25(以下KBCont. 25と称す)などを有している。

【0019】バスコントローラ1、表示コントローラ2、グラフィックスアクセラレータ3、USBホストコントローラ4、VRAMコントローラ5、PCMCIAコントローラ6、Smart Mediaコントローラ7、I/Oバスインタフェースコントローラ8(以下I/Oバスコントローラ8と称す)、レジスタインタフェースバス9、VRAMインタフェースバス10、クロックコントローラ11、割り込みコントローラ12などはデバイスコントローラ100として1つのICチップ

内部に各モジュール実装され、1チップ化されている。

【0020】バスコントローラ1はシステムバスを内部バスに変換する。表示コントローラ2はLCDパネルやCRTに表示するための制御を行う。グラフィックスアクセラレータ3は表示速度を改善する。USBホストコントローラ4は接続したUSBデバイスを制御する。VRAMコントローラ5はVRAM24を制御する。PCMCIAコントローラ6は接続したカードデバイスの制御を行う。SmartMediaコントローラ7は接続したフラッシュメモリの制御を行う。I/Oバスコントローラ8はKBCont. 25やその他接続した拡張デバイスの制御を行う。レジスタインタフェースバス9は内部レジスタアクセスなどに用いる内部バスである。つまりレジスタインタフェースバス9はデバイスコントローラ100の内部で接続された各モジュールのレジスタ間のデータ伝送に用いられる。VRAMインタフェースバス10はVRAM24をアクセスするデバイスを接続するバスである。クロックコントローラ11はクロックソースやクロックゲートの制御を行う。例えばクロック供給部26から供給されたクロック信号CLKをデバイスコントローラ100内の各モジュールに供給する。また、供給されたクロック信号CLKをI/Oバスコントローラ8用のクロック信号CLK'に変換しI/Oバスコントローラ8に送信する。割り込みコントローラ12は割り込み要因を識別、有効/無効の制御を行う。割り込みコントローラ12は例えばキーボード等からの割り込み信号を制御する。DRAMシステムメモリ20は本装置の運用に係る処理手順のプログラムをはじめとする各種プログラムや定数データを記憶する。プロセッサ21はDRAMシステムメモリ20に格納されたプログラムに基づいて、本装置の全体的な制御を行い、キーボード等から入力される各種のデータに対する演算処理を実行する。電源制御回路22はシステム全体の電源電圧を制御する。MROM23はインタフェースの利用効率を高めるためのアプリケーションプログラムを格納する。VRAM24はビットマップイメージで表示デバイスに表示する各種データを記憶する。KBCont. 25は拡張デバイスの一つであり、キーボードから入力されたキー情報をコード化してI/Oバスコントローラ8に伝送する。クロック供給部26はプロセッサ21の命令でクロック信号の周波数を制御する。また、クロックコントローラ11にクロック信号CLKを入力すると共に、I/Oバスコントローラ8に対してクロック信号CLKの周波数情報(クロック周波数情報)28を入力する。I/Oバス27はI/Oバスインタフェースコントローラ8と拡張デバイスであるKBCont. 25との間でインタフェース信号を伝送するバスである。

【0021】図2に示すように、I/Oバスコントローラ8はインタフェース信号発生部31、タイミング情報発生部32を有している。インタフェース信号発生部3

1はレジスタインタフェースバス9を通じて受けたプロセッサ21の指示をインタフェース信号に変換してI/Oバス27を介してKBCont. 25とアクセスする。タイミング情報発生部32はクロック供給部26から入力したクロック信号の周波数情報に基づいて、インタフェース信号を変化させるタイミング情報を算出し、インタフェース信号発生部31に伝送する。なお、タイミング情報の算出方法として、通常のクロック周波数時のタイミング値に対し、そのときのクロック周波数の倍率を乗算し整数に切り上げる方法が考えられる。しかし、KBCont. 25が動作可能なタイミングであれば、タイミング情報の算出方法については他の方法でもよい。

【0022】次に、図3を参照してこの第1実施形態の計算機システムの動作について説明する。

【0023】システム全体の処理量が減ると、消費電力を減らすためにプロセッサ21はクロック周波数を通常の周波数より低くするようにクロック供給部26を制御する。

【0024】クロック供給部26はプロセッサ21に制御されて、デバイスコントローラ100が動作する基準となる基本クロックCLKを、周波数を通常の周波数より低く、例えば2分の1などにしてクロックコントローラ11に供給すると同時に、現在のクロック周波数が通常の2分の1であることを示すクロック周波数情報28をI/Oバスコントローラ8に伝送する。このクロック周波数情報28はI/Oバスコントローラ8内にあるタイミング情報発生部32に入力される。

【0025】クロック周波数情報28がタイミング情報発生部32に入力されると、タイミング情報発生部32はクロック周波数情報28から現在のクロック周波数が通常の2分の1であることを認識し、入力されたクロックCLK'の周波数に対するタイミング情報29を算出する。例えばタイミング情報発生部32はクロックCLK'をカウントするための設定値を通常の半分の値、つまり1、2、1と算出し、このタイミング情報29をI/Oバスコントローラ8内にあるインタフェース信号発生部31に伝える。インタフェース信号発生部31は入力されたタイミング情報29を基にインタフェース信号を作り、I/Oバス27を通じてKBCont. 25にアクセスする。

【0026】図3はクロック周波数を通常の2分の1に下げたときのインタフェース信号を示す図である。

【0027】同図において、CLK'はクロックコントローラ11から入力されるクロック信号である。CS#は選択信号である。

【0028】拡張デバイスであるKBCont. 25はこの選択信号CS#がLレベルになると、アクセスされていることを認識する。WR#はライトストロブ信号である。KBCont. 25はこのライトストロブ信号WR#がLレベルになると、書き込み動作であることを認識

し、データ信号の値を入力する。DATAはデータ信号である。

【0029】また、T12は選択信号CS#がLレベルに立ち下がってからライトストロブ信号WR#がLレベルに立ち下がるまでの時間である。T22はライトストロブ信号WR#がLレベルになっている時間を示す。T32はライトストロブ信号WR#がHレベルに立ち上がってから選択信号CS#がHレベルに立ち上がるまでの時間を示す。

【0030】クロック信号CLK'の変化、すなわちクロック周波数情報28の変化に合わせたインタフェース信号の変化タイミングを示す時間情報がタイミング情報29である。ここではこのタイミング情報29がT1、T2、T22、T32であり、カウントされるクロック数に換算すると、それぞれ(1)、(2)、(1)となる。

【0031】システム全体の基本クロックCLKの周波数を、通常時の2分の1程度に低くした場合、図3に示すように、I/Oバスコントローラ8に入力されるクロック信号CLK'はその周期Tckが2倍($Tck \times 2$)になる。

【0032】本実施形態では、I/Oバスコントローラ8において、クロック信号CLK'の変化に合わせてクロック信号CLK'をカウントするためのタイミング情報29の値も小さくされるので、I/Oバスコントローラ8から出力されるインタフェース信号の変化タイミングも小さくなり、KBCont. 25に対する処理速度は省電力前と変わらなくなる。

【0033】このようにこの第1実施形態の計算機システムによれば、I/Oバスコントローラ8にタイミング情報発生部32を設けたことで、クロックコントローラ11からのクロック信号CLK'の変化に合わせてクロック信号CLK'をカウントするためのタイミング情報29の値も可変される。例えば通常のクロック周波数の2分の1であった場合、I/Oバスコントローラ8から出力されるインタフェース信号の変化タイミングも2分の1に小さくなり、KBCont. 25に対する処理速度は省電力前と変わらなくなる。

【0034】これにより、KBCont. 25(拡張デバイス)に対する処理速度を落とさずに消費電力を低減することができる。

【0035】次に、図4を参照して本発明に係る第2の実施形態の計算機システムについて説明する。図4は本発明の第2実施形態の計算機システムのI/Oバスコントローラ48を示す図である。

【0036】同図に示すように、このI/Oバスコントローラ48はインタフェース信号発生部31、タイミング情報発生部32及びレジスタ33を有している。

【0037】この場合、インタフェース信号発生部31とレジスタ33には、プロセッサ21から内部バス9を

通じてクロック周波数情報28が入力される。したがって、この場合、タイミング情報発生部32はレジスタ33に設定されたクロック周波数情報28を読み出すことになる。

【0038】この第2実施形態の計算機システムの場合、プロセッサ21から内部バス9を通じてクロック周波数情報28がI/Oバスコントローラ48内のレジスタ33に設定される。タイミング情報発生部32はレジスタ33に設定されたクロック周波数情報28を読み出し、タイミング情報29を生成し、インタフェース信号発生部31に出力する。

【0039】このようにこの第2実施形態の計算機システムによれば、プロセッサ21からのクロック周波数情報28をレジスタ33に設定し、タイミング情報発生部32はこのレジスタ33のクロック周波数情報28を読み出してタイミング情報29を生成するので、上記第1実施形態と同様の効果が得られると共に、クロック供給部26からクロック周波数情報28を出力せずに済むので、クロック供給部26を比較的単純な構成とした上で本発明を実現できる。

【0040】次に、図5を参照して本発明に係る第3の実施形態の計算機システムについて説明する。図5は本発明の第3実施形態の計算機システムのI/Oバスコントローラ58を示す図である。

【0041】この第3実施形態は上記第1及び第2実施形態のタイミング情報発生部32の代わりにタイミング情報レジスタ34を内蔵した例である。

【0042】同図に示すように、このI/Oバスコントローラ58はインタフェース信号発生部31とタイミング情報レジスタ34だけで構成されている。

【0043】この例は、プロセッサ21側の演算機能を利用する例である。すなわち、通常、装置全体を省電力状態とするときには、プロセッサ21自身がクロック供給部26に対してクロック周波数の変更を指示するので、プロセッサ21は変更するクロック周波数情報の値を知っている。そこで、この場合、クロック周波数情報の値を基にしてプロセッサ21が各タイミング情報28を算出し、この算出したタイミング情報28を内部バス9を通じてI/Oバスコントローラ58のタイミング情報レジスタ34に保持し、このタイミング情報レジスタ34に保持された各タイミング情報28をインタフェース信号発生部31が読み込み、インタフェース信号を生成する。

【0044】このようにすることで、この第3実施形態の計算機システムによれば、上記第1実施形態と同様の効果が得られると共に、I/Oバスコントローラ58の構成を簡素化することができる。

【0045】なお、上記各実施形態のみに限定されるものではない。

【0046】上記実施形態では、クロック供給部26を

デバイスコントローラ 100 の外部に設けた例を示したが、クロック供給部 26 は I/O バスコントローラ 8 の内部に配置、つまり内蔵してもよい。

【0047】また、I/O バスコントローラ 8 に FPD-RAM や SRAM 等のメモリを接続して、I/O バスコントローラ 8 をメモリコントローラとして機能させるようにしても同様の効果を得られる。

【0048】さらに、クロックコントローラ 11 に、I/O バスコントローラ 8 が動作していないときに該当部へのクロックを停止させる機能を持たせることで、クロックを下げたときに（変化させたときに）、I/O バスコントローラ 8 が動作中に必要とするクロック数を減らすことができる。

【0049】これにより、システム全体の消費電力を低減することができる。

【0050】

【発明の効果】以上説明したように本発明によれば、基本クロックの周波数情報の変化に応じてインターフェース信号の変化タイミングが可変され、I/O バスに接続された拡張デバイスのデータ転送速度が制御される。

【0051】したがって、例えばシステム全体が通常の動作状態から省電力状態に切り替えられときに、基本クロックの周波数が変化、例えば周波数が低くされた場合、それに合わせる形で基本クロックのカウント値も小さくするので、拡張デバイスに対するデータ転送速度を

落とさずに消費電力を低減することができる。

【図面の簡単な説明】

【図 1】本発明に係る計算機システムの全体構成を示す図。

【図 2】第 1 実施形態の計算機システムの I/O バスコントローラの内部構成を示す図。

【図 3】第 1 実施形態の計算機システムを通常の 1/2 のクロック周波数で動作させたときの各信号のタイミングチャート。

【図 4】第 2 実施形態の I/O バスコントローラの内部構成を示す図。

【図 5】第 3 実施形態の I/O バスコントローラの内部構成を示す図。

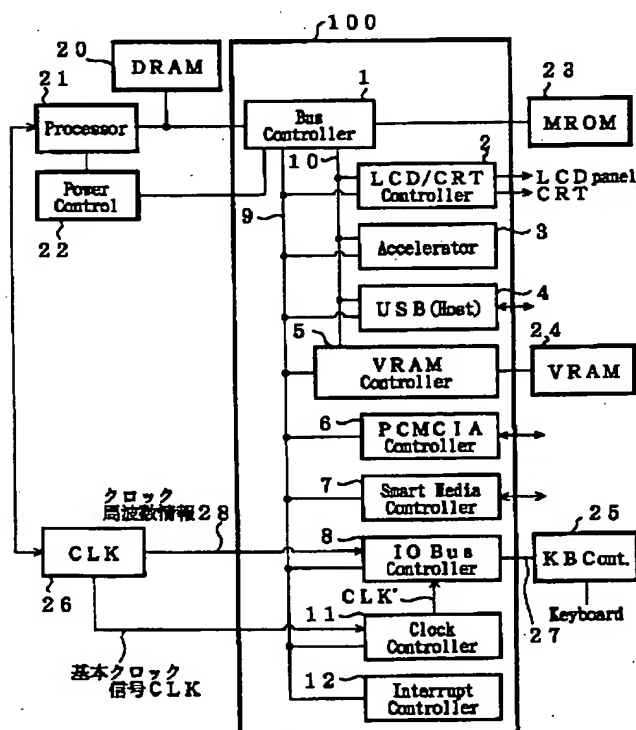
【図 6】従来の計算機システムを通常のクロック周波数で動作させたときの各信号のタイミングチャート。

【図 7】従来の計算機システムを通常の 1/2 のクロック周波数で動作させたときの各信号のタイミングチャート。

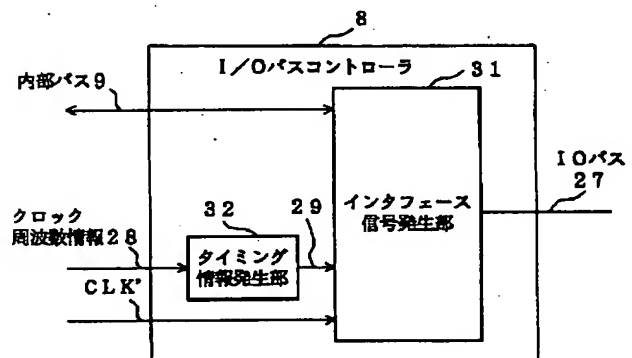
【符号の説明】

100…デバイスコントローラ、1…バスコントローラ、8…I/O バスインタフェースコントローラ（I/O バスコントローラ）、11…クロックコントローラ、20…DRAM、21…プロセッサ、22…電源制御部、23…MRROM、24…VRAM、25…KBCont.（拡張デバイス）、26…クロック供給部。

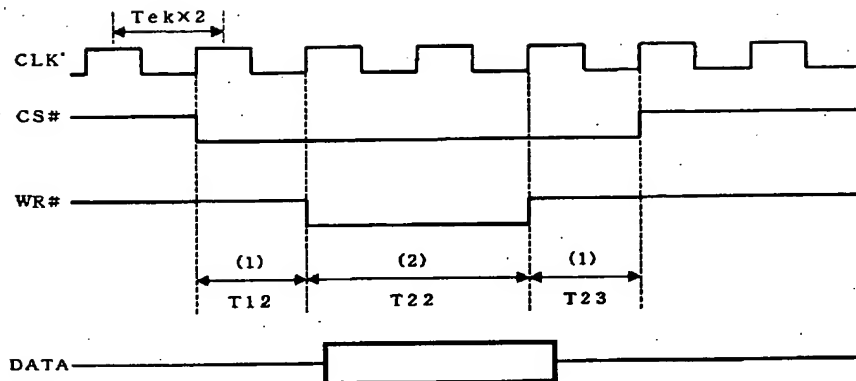
【図 1】



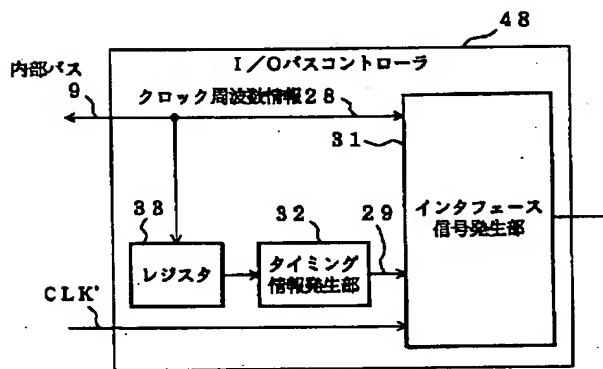
【図 2】



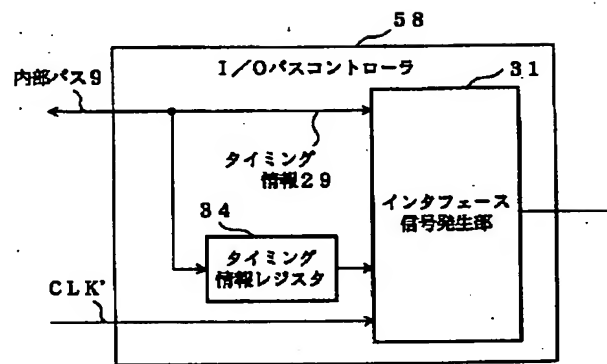
【図 3】



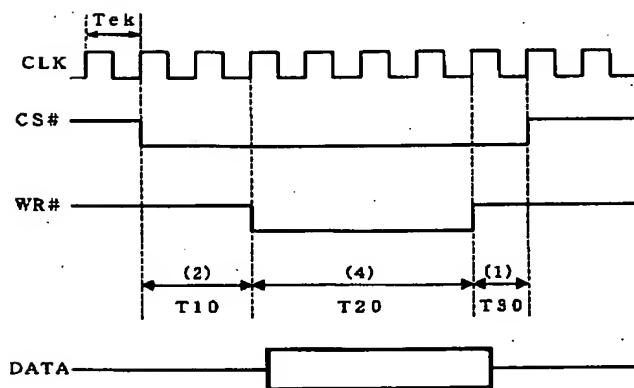
【図 4】



【図 5】



【図 6】



【図 7】

